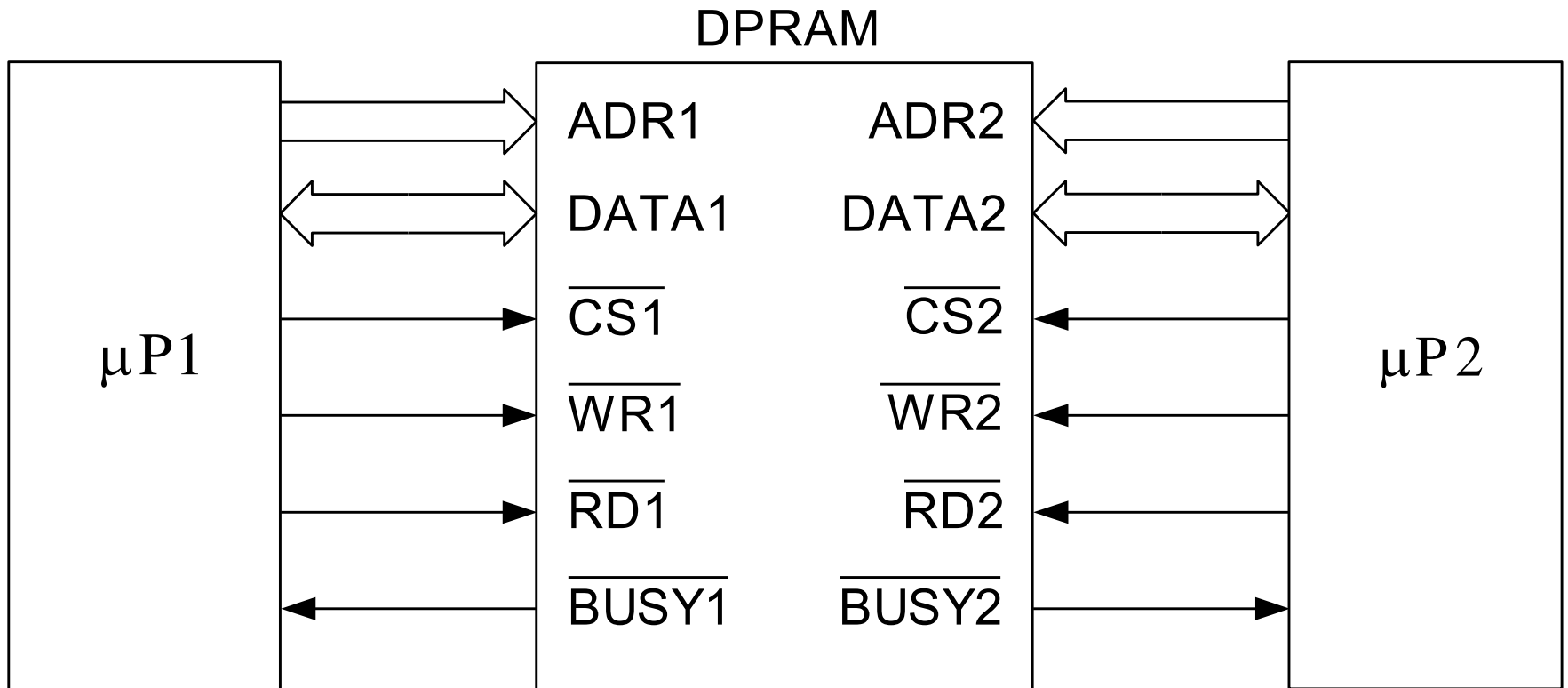


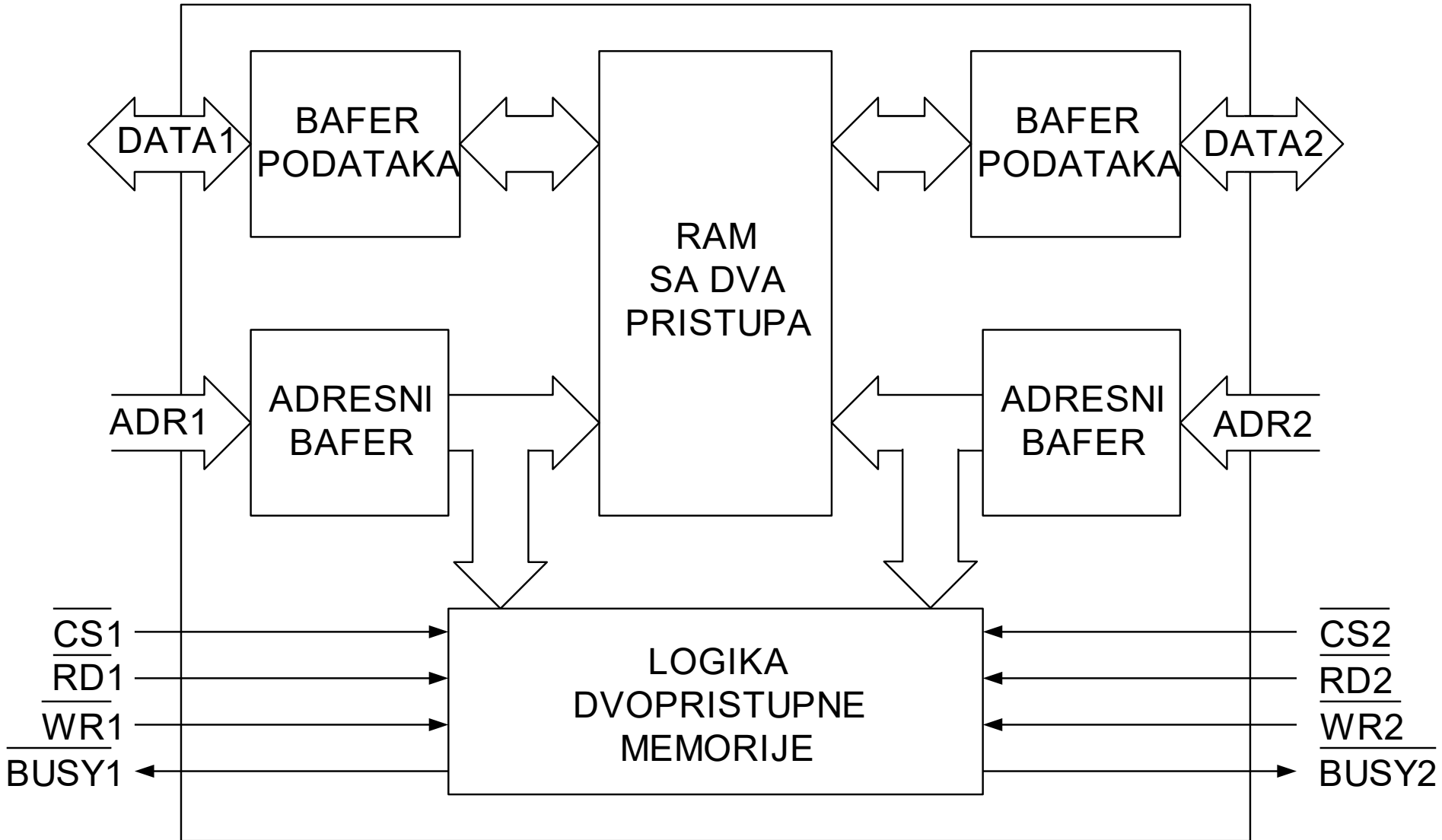
14. SPECIJALIZOVANE MEMORIJE

- FIFO memorija (*“first-in first-out memory”*)
- Dvopristupna memorija (DPRAM, *“dual-port memory”*)
- EEPROM (E²PROM) memorija (*“electrically erasable programmable read-only memory”*)
- nvSRAM memorija (*“nonvolatile static random access memory”*)

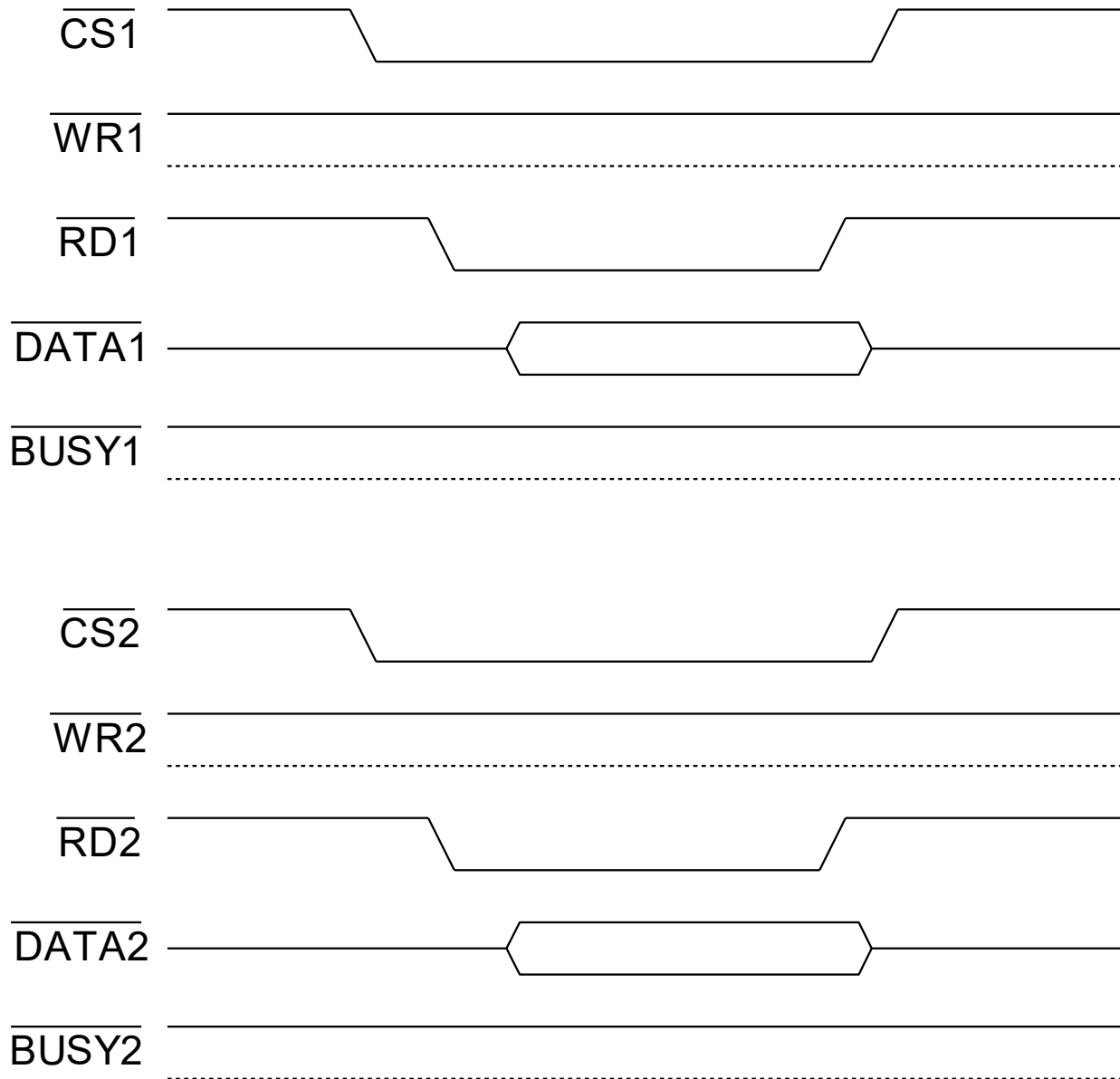
DVOPRISTUPNA MEMORIJA (DPRAM, “*dual-port memory*”)



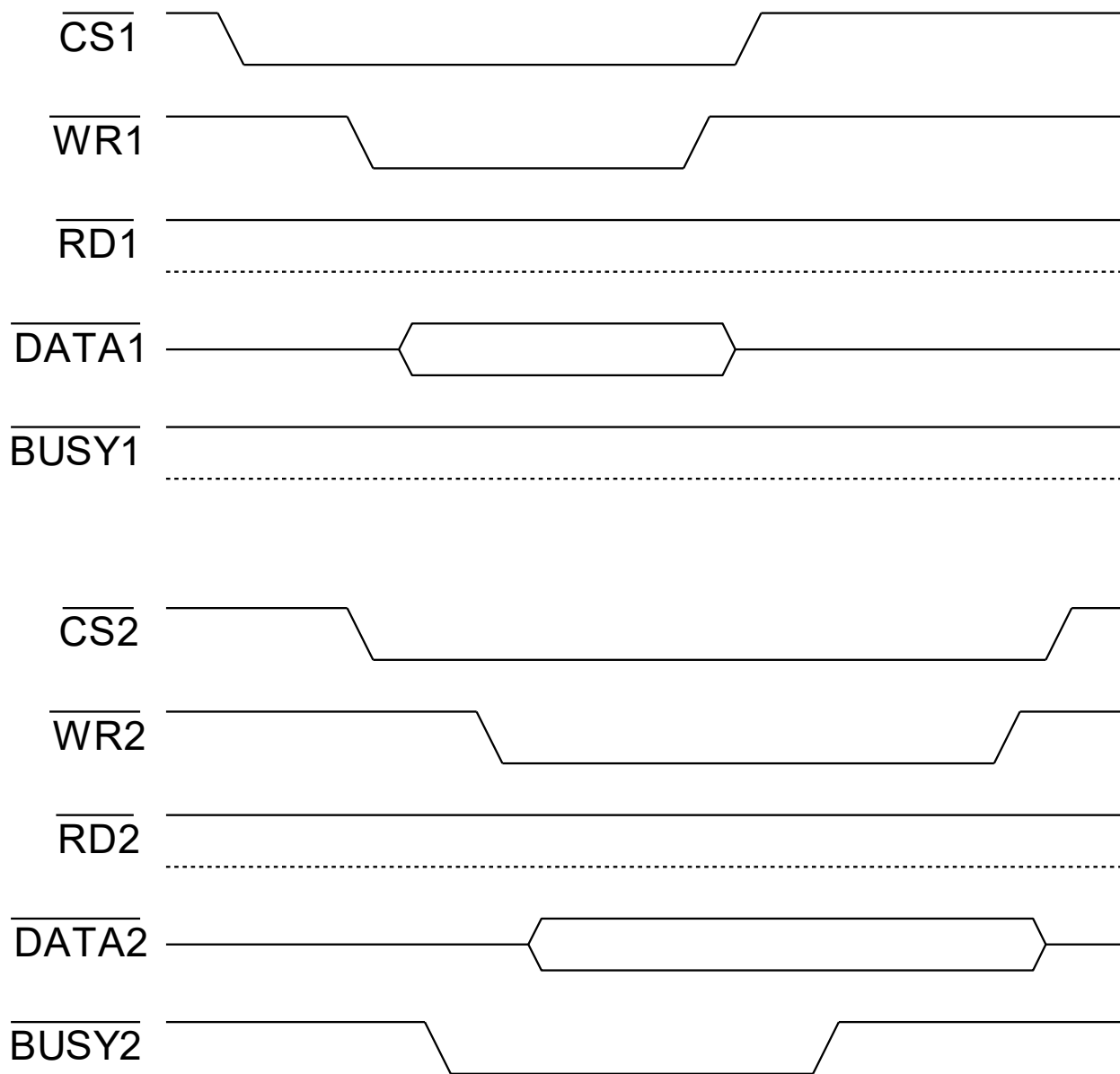
ARHITEKTURA DPRAM



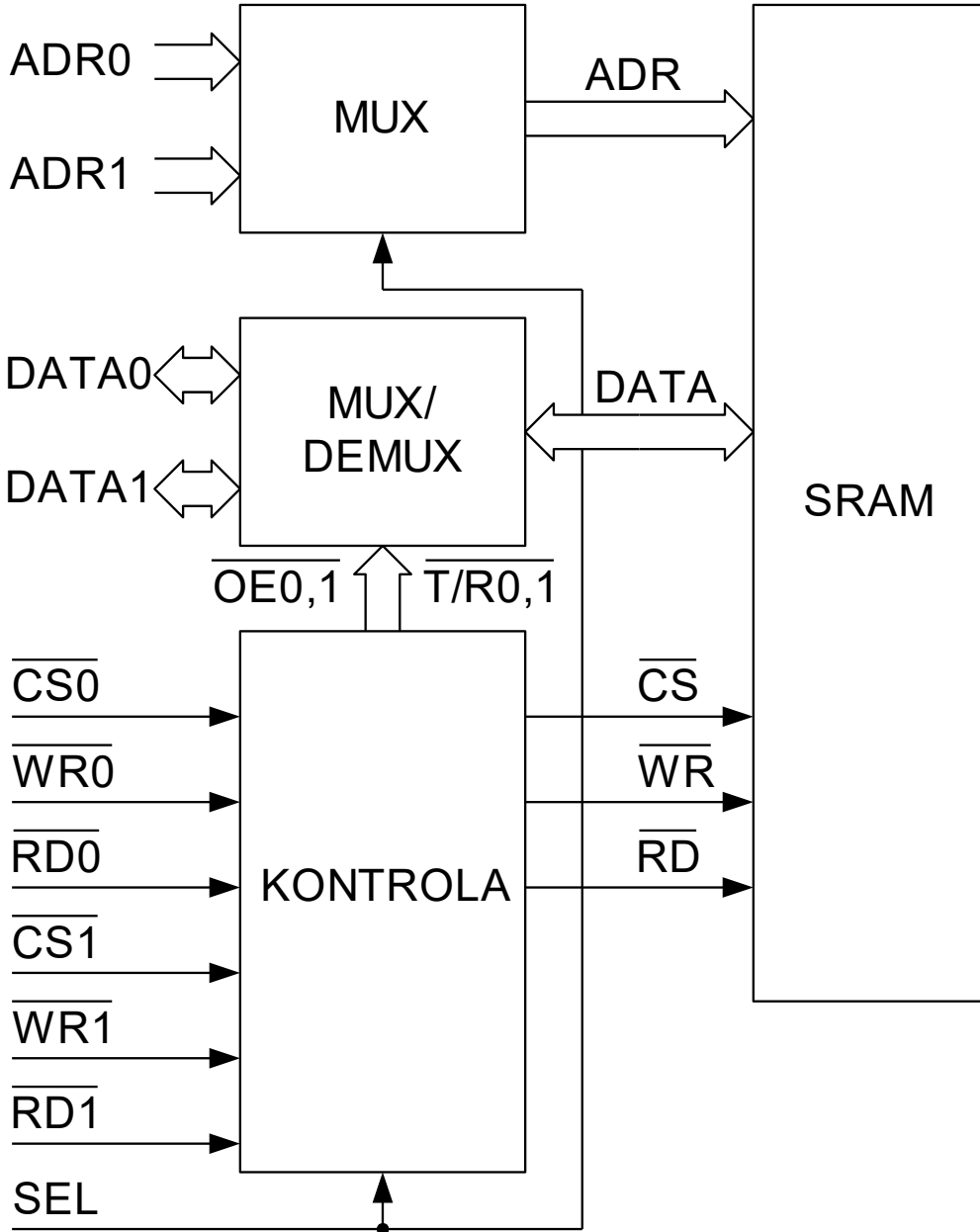
ISTOVREMENO ČITANJE IZ ISTE MEMORIJSKE LOKACIJE



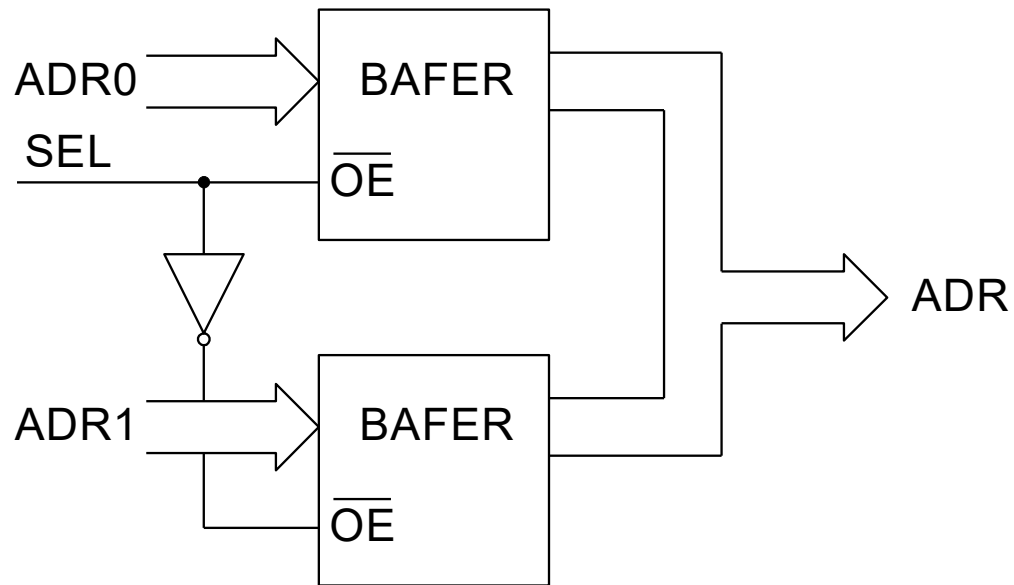
ISTOVREMENI UPIS U ISTU MEMORIJSKU LOKACIJU



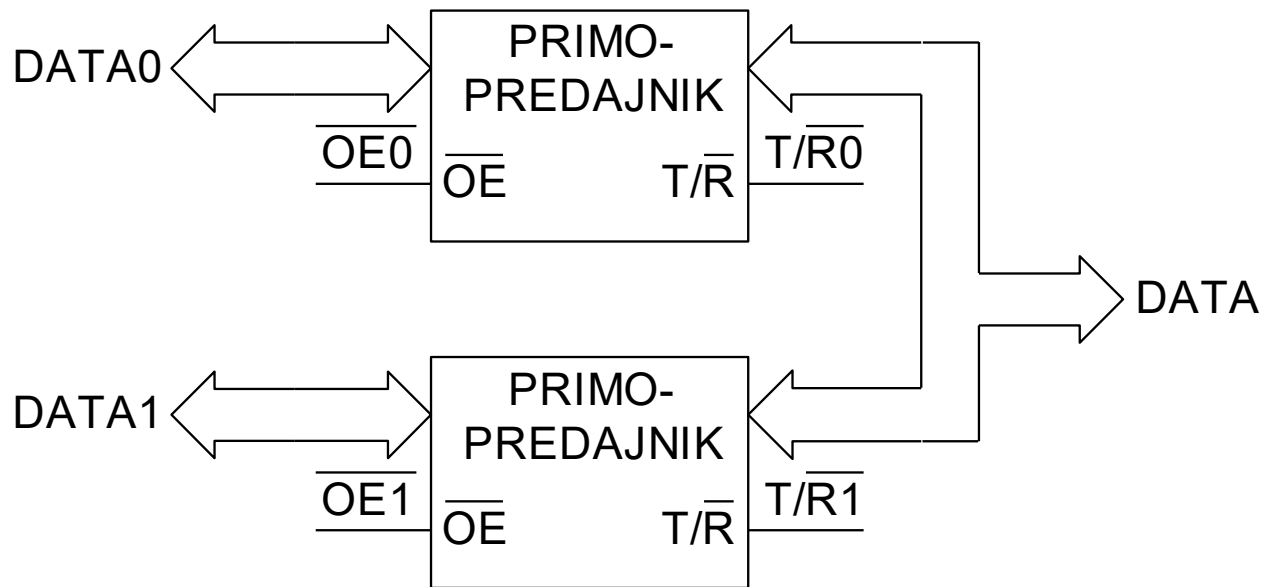
SIMULACIJA DPRAM



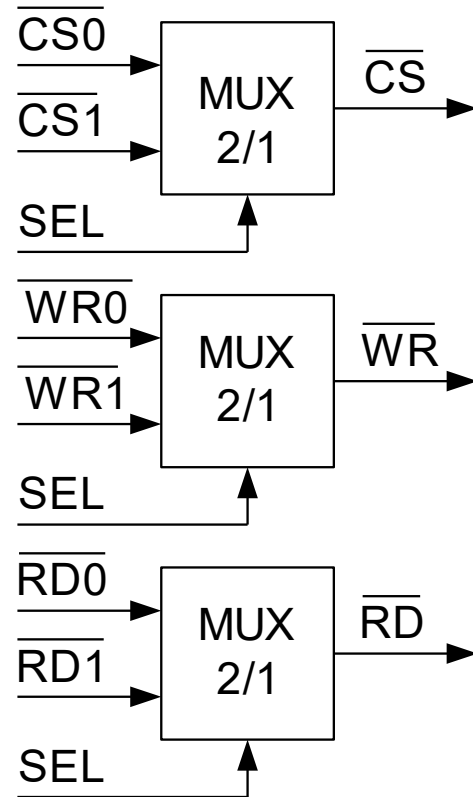
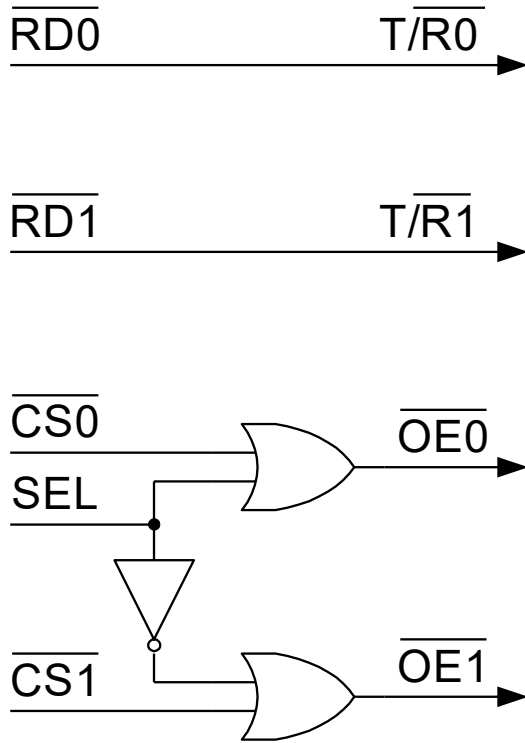
MULTIPLEKSER ZA ADRESE



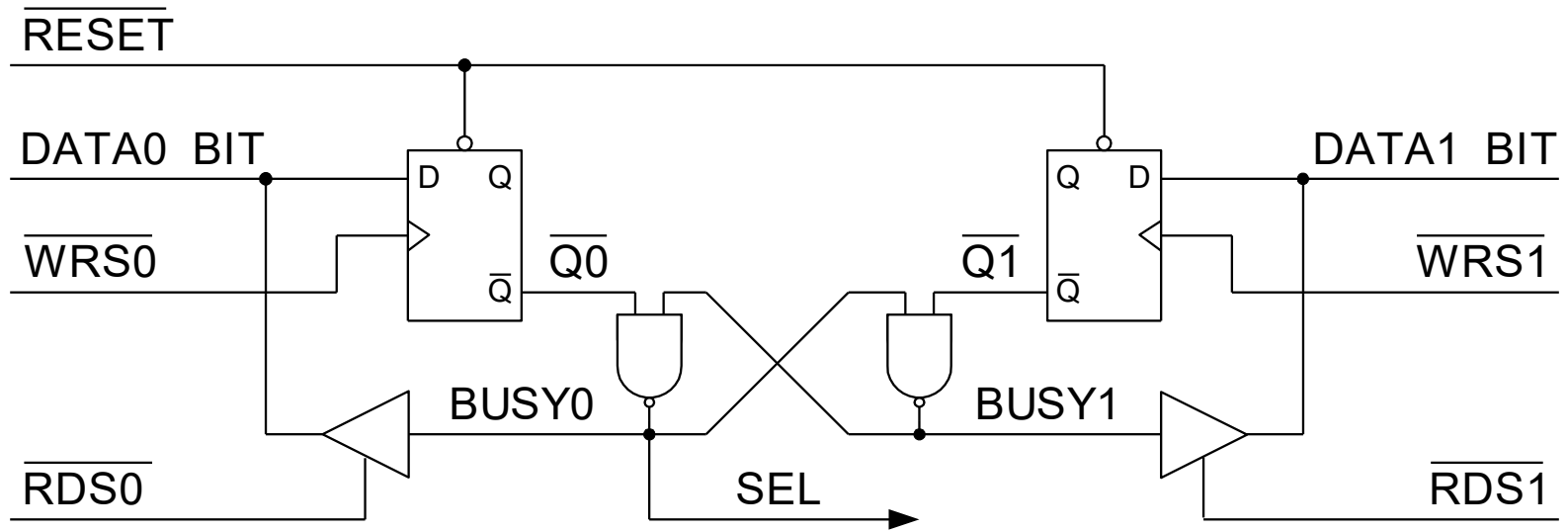
MULTIPLEKSER ZA PODATKE



KONTROLNA LOGIKA



SEMAFORSKA LOGIKA



Q0	Q1	$\overline{Q0}$	$\overline{Q1}$	BUSY0	BUSY1	SEL
0	0	1	1	BUSY0	$\overline{\text{BUSY0}}$	BUSY0
0	1	1	0	0	1	0
1	0	0	1	1	0	1
1	1	0	0	1	1	1

RAD SEMAFORSKE LOGIKE

Po uključenju napajanja aktivira se signal koji setuje oba semafora flip-flopa, tako da je $Q_0=1$ i $Q_1=1$. Izlazi oba semafora signala BUSY0 i BUSY1 su normalno u stanju logičke jedinice, što znači da nijedan mikroprocesor ne pristupa simuliranoj dvoprístupnoj memoriji (SDPRAM).

Ako mikroprocesor 0 zahteva pristup SDPRAM memoriji, on mora prvo da resetuje odgovarajući semafori flip-flop Q_0 upisom bita podatka DATA0 BIT pomoću signala upisa WRS0/. Mikroprocesor 0 zatim čita DATA0 BIT pomoću signala čitanja RDS0/ da bi proverio da li je SDPRAM memorija slobodna za pristup.

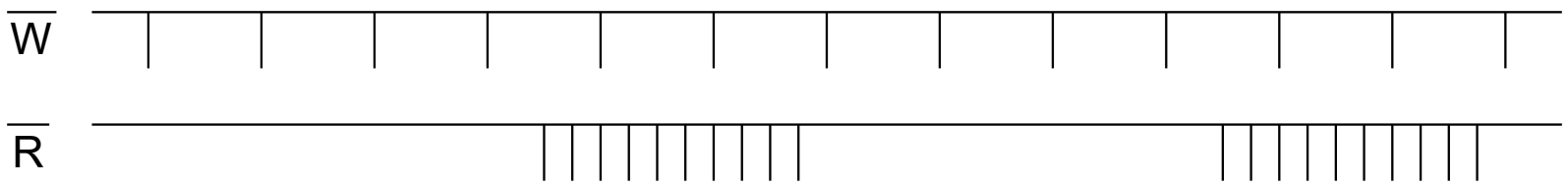
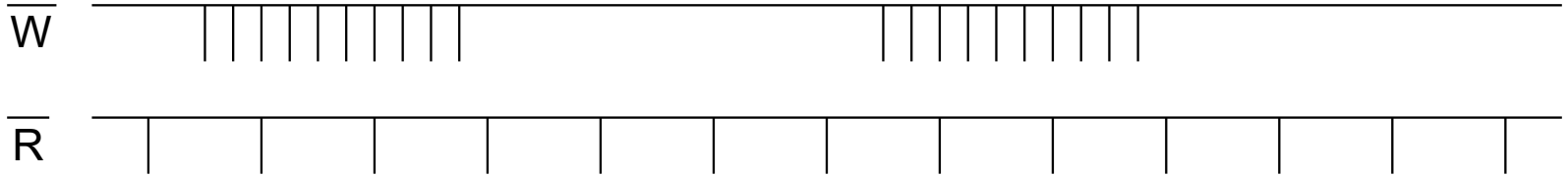
RAD SEMAFORSKE LOGIKE

Ako je pročitani DATA0 BIT u stanju logičke nule, SDPRAM memorija je slobodna za pristup. Po završetku pristupa, mikroprocesor 0 ponovo setuje semaforski flip-flop Q0 upisom DATA0 BIT pomoću signala upisa WRS0/.

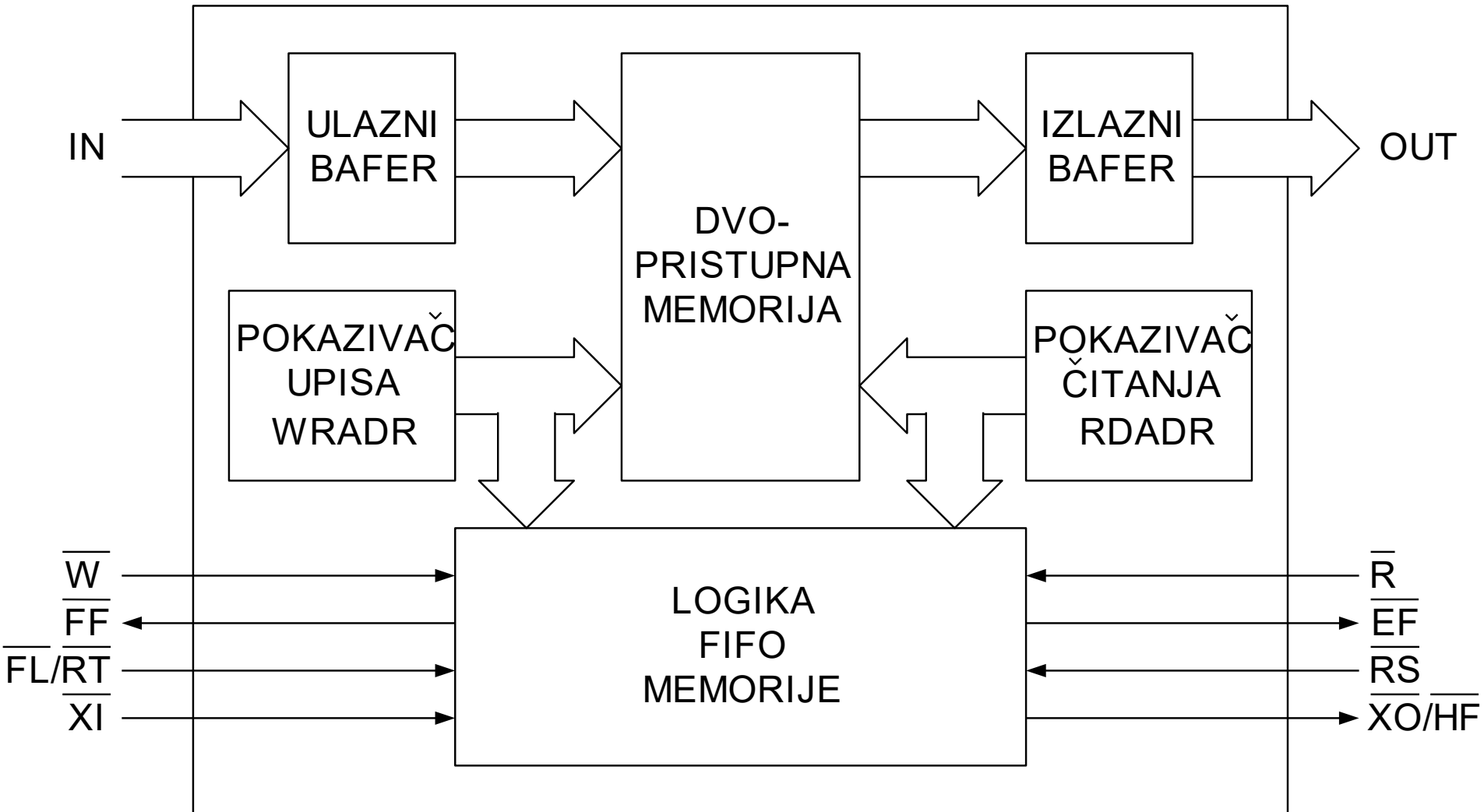
Ako je pročitani DATA0 BIT u stanju logičke jedinice, mikroprocesor 0 mora sačekati dok DATA0 BIT ne postane jednak nuli, odnosno dok mikroprocesor 1 ne završi sa pristupom i oslobodi SDPRAM memoriju setovanjem svog semaforskog flip-flopa Q1 upisom bita podatka DATA1 BIT pomoću signala upisa WRS1/.

Prikazani hardver obezbeđuje da ne postoji situacija u kojoj obe strane istovremeno čitaju statusne bite DATA0 BIT i DATA1 BIT, odnosno BUSY0 i BUSY1 u stanju logičke nule.

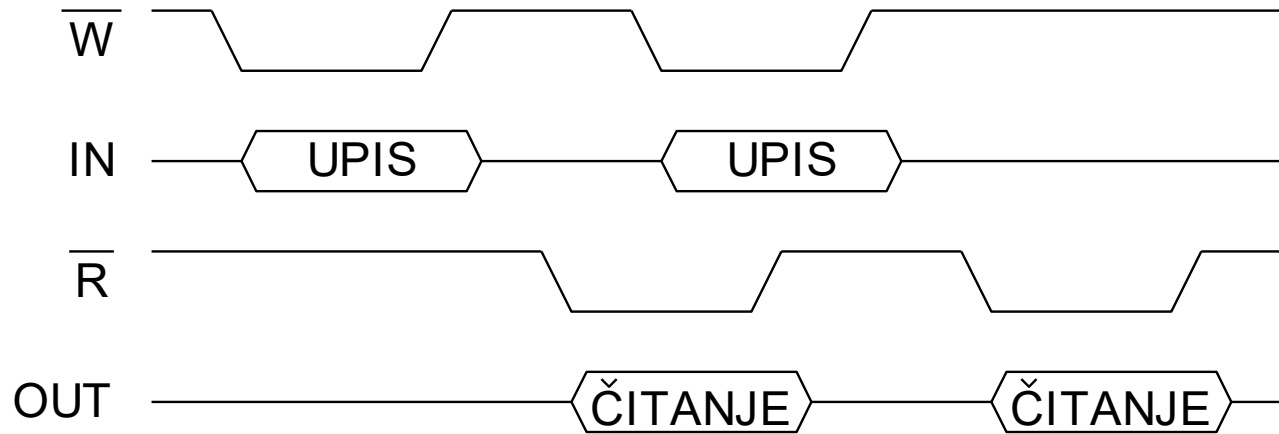
PRIMENA FIFO MEMORIJE



FIFO MEMORIJA



UPIS I ČITANJE IZ FIFO MEMORIJE



- HF/ (“*half full flag*”) signalizira polupunu FIFO memoriju;
- EF/ (“*empty flag*”) signalizira praznu FIFO memoriju, tako da se sva naredna čitanja ignorišu; i
- FF/ (“*full flag*”) signalizira punu FIFO memoriju, tako da se svi naredni upisi ignorišu.

POVEĆANJE KAPACITETA FIFO

Pored flegova, dodatni kontrolni signali:

XI/ (“*expansion in*”),

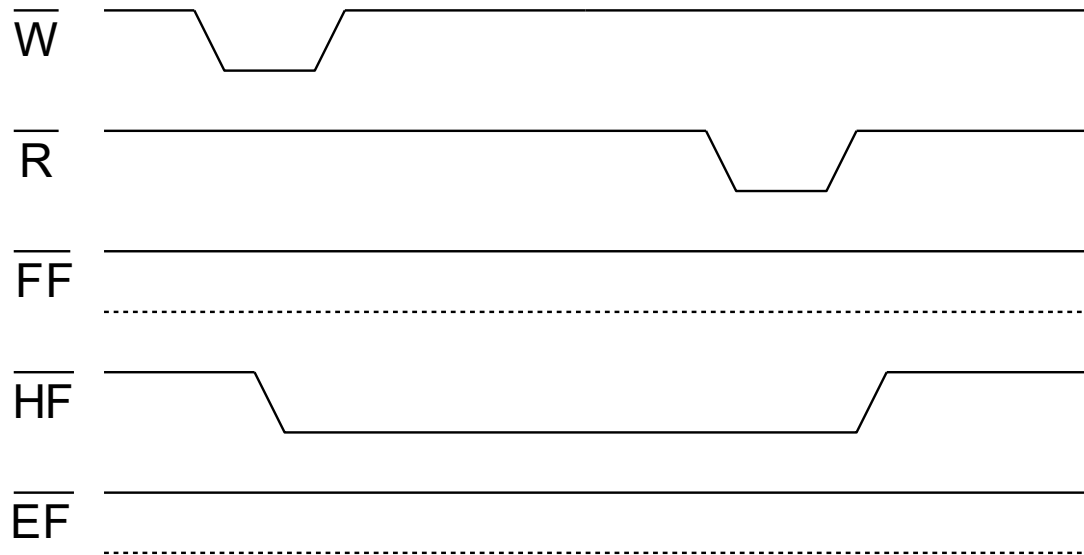
XO/ (“*expansion out*”) i

FL/RT/ (“*first load/retransmit*”)

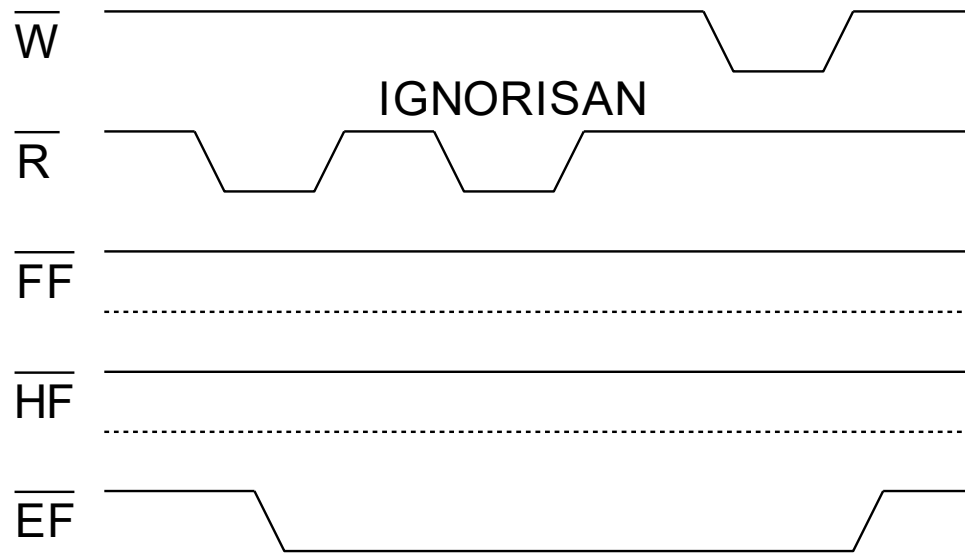
omogućavaju povezivanje više FIFO memorija u jedinstvenu FIFO memoriju sa većom dubinom, odnosno kapacitetom:

- FL/RT/=0 za prvu FIFO memoriju po dubini, odnosno FL/RT/=1 za sve ostale;
- XI/ prve FIFO memorije po dubini se priključuje na XO/ poslednje FIFO memorije;
- XI/ svake preostale FIFO memorije se priključuje na XO/ prethodne FIFO memorije.

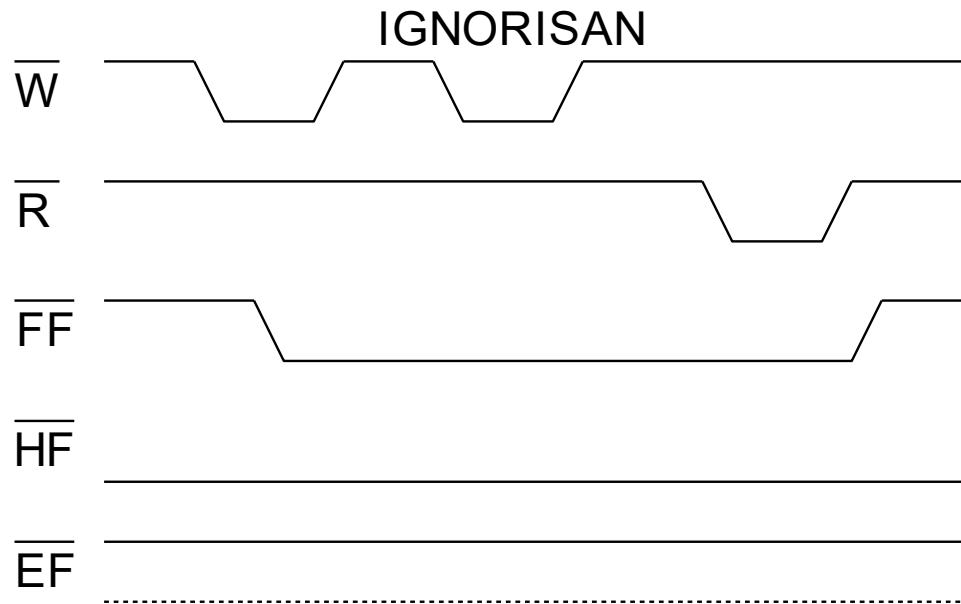
POLUPUNA FIFO MEMORIJA



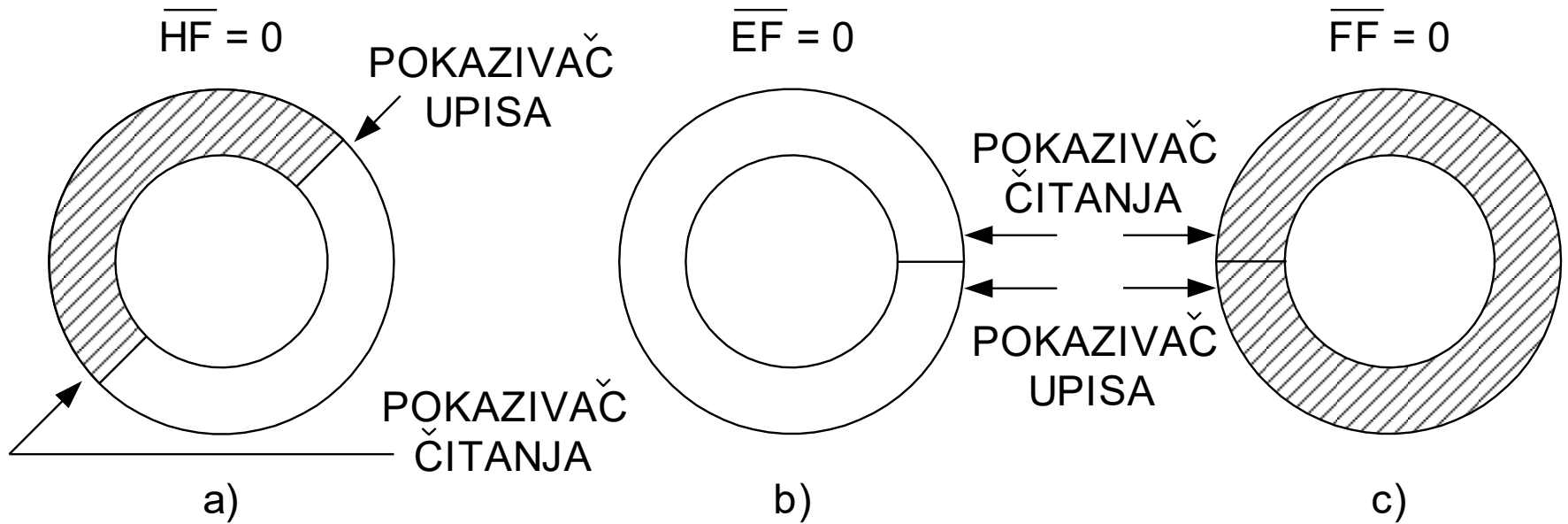
PRAZNA FIFO MEMORIJA



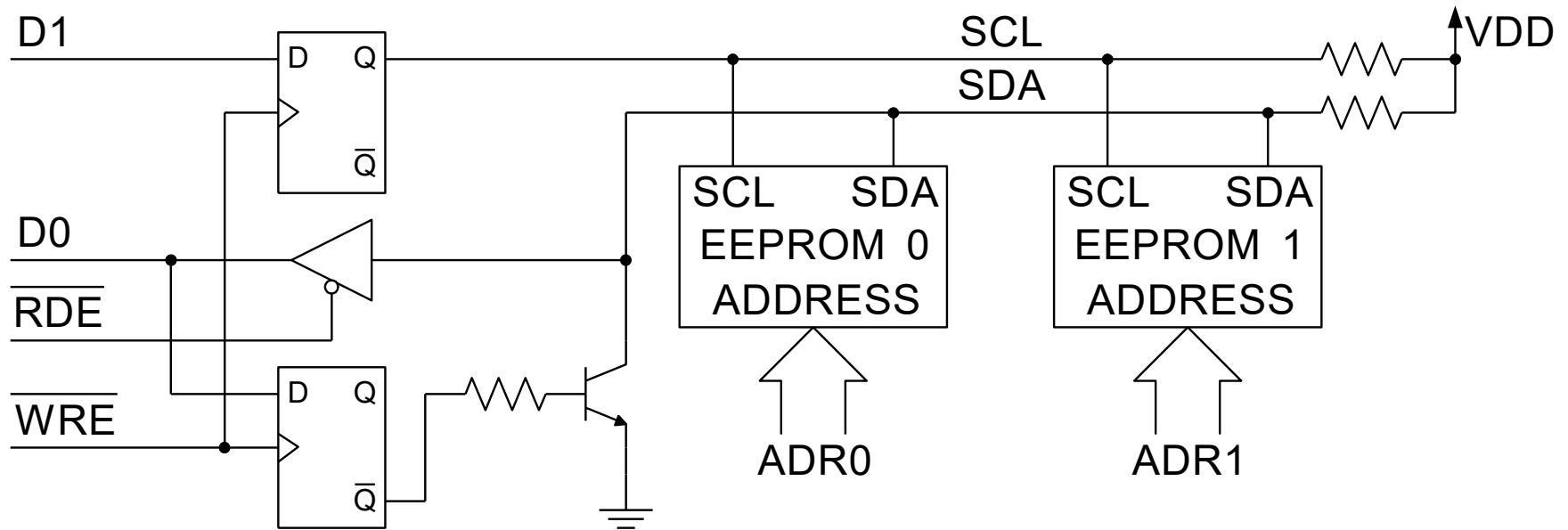
PUNA FIFO MEMORIJA



POPUNJENOST FIFO MEMORIJE



POVEZIVANJE EEPROM MEMORIJE



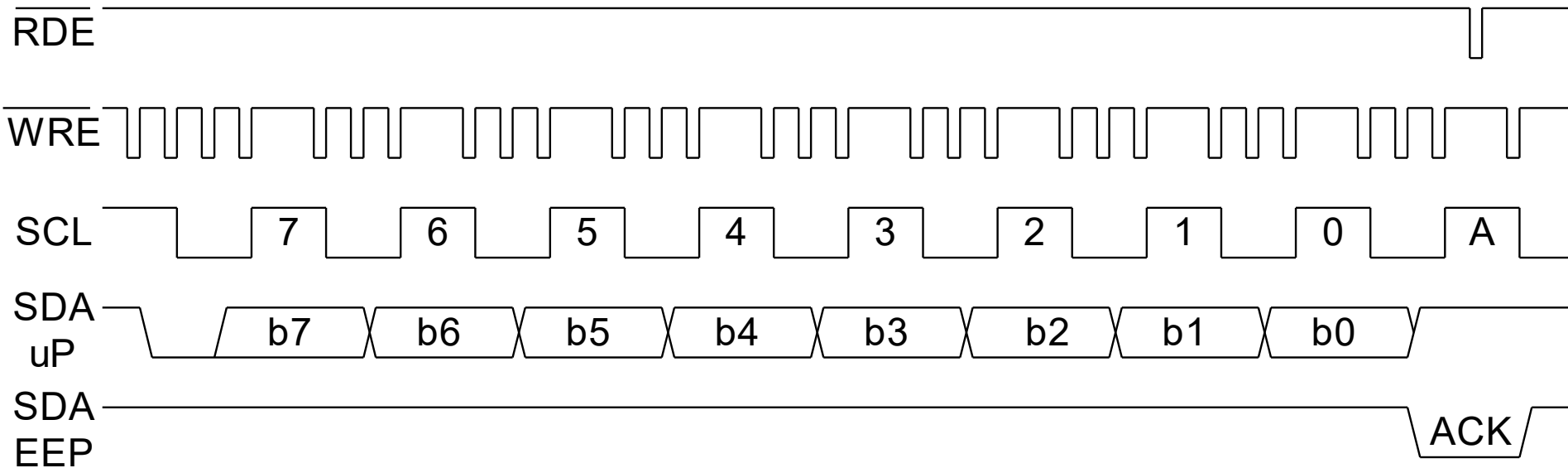
PROTOKOLI EEPROMA

- Upis podatka (upis start sekvence, upis adrese EEPROM memorije sa komandom upisa, čitanje ACK, upis adrese podatka, čitanje ACK, upis podatka, čitanje ACK, upis stop sekvence);
- Upis stranice od n podataka (upis start sekvence, upis adrese EEPROM memorije sa komandom upisa, čitanje ACK, upis adrese podatka 0, čitanje ACK, upis podatka 0, čitanje ACK, upis podatka 1, čitanje ACK, ..., upis podatka $n-1$, čitanje ACK, upis stop sekvence);
- Čitanje tekuće adrese (upis start sekvence, upis adrese EEPROM memorije sa komandom čitanja, čitanje ACK, čitanje tekuće adrese, negenerisanje ACK, upis stop sekvence);

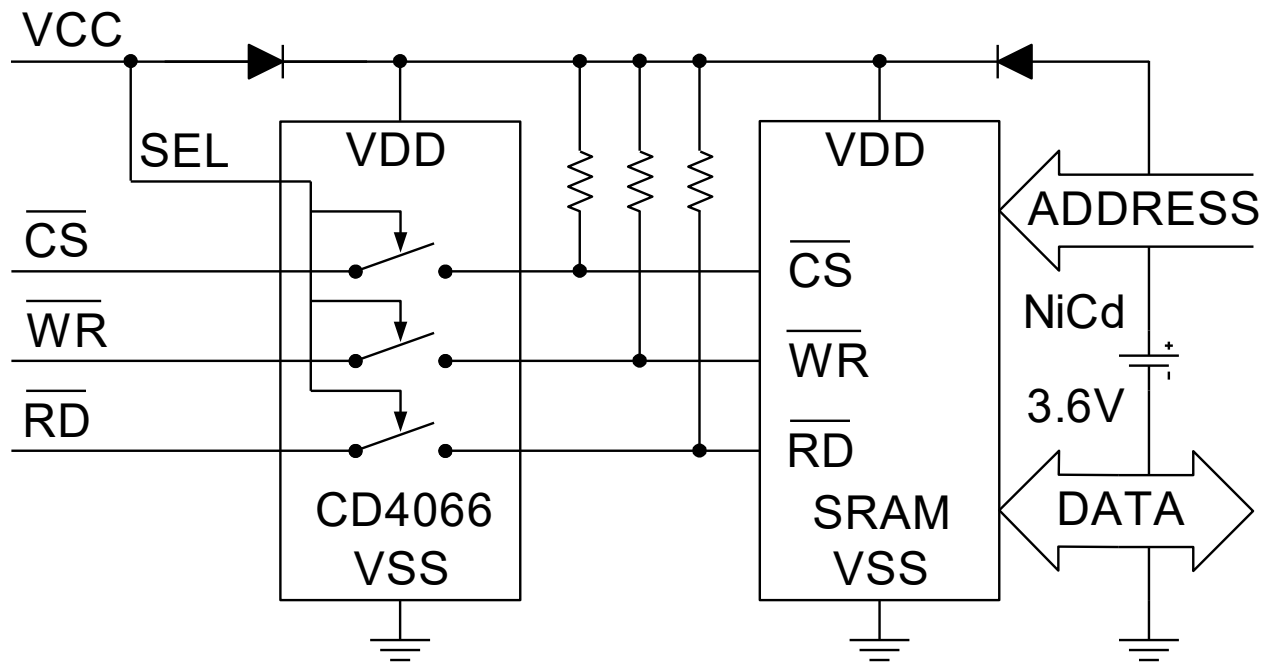
PROTOKOLI EEPROMA

- Čitanje podatka (upis start sekvence, upis adrese EEPROM memorije sa komandom upisa, čitanje ACK, upis adrese podatka, čitanje ACK, upis start sekvence, upis adrese EEPROM memorije sa komandom čitanja, čitanje ACK, čitanje podatka, negenerisanje ACK, upis stop sekvence);
- Sekvencijalno čitanje m podataka (upis start sekvence, upis adrese EEPROM memorije sa komandom upisa, čitanje ACK, upis adrese podatka 0, čitanje ACK, upis start sekvence, upis adrese EEPROM memorije sa komandom čitanja, čitanje ACK, čitanje podatka 0, upis ACK, čitanje podatka 1, upis ACK,..., čitanje podatka $m-1$, negenerisanje ACK, upis stop sekvence).

SERIJSKI UPIS START SEKVENCE I ADRESE EEPROM MEMORIJE



SRAM SA BACKUP BATERIJOM



SRAM SA BACKUP BATERIJOM

